

⑨ 公開特許公報(A)

昭60-55459

⑪ Int. Cl.⁴G 06 F 13/16
12/02
12/08

識別記号

庁内整理番号

6974-5B
6974-5B
8219-5B

⑫ 公開 昭和60年(1985)3月30日

審査請求 未請求 発明の枚 1 (全10頁)

⑬ 発明の名称 ブロックデータ転送記憶制御方法

⑭ 特 願 昭58-163161

⑮ 出 願 昭58(1983)9月7日

⑯ 発 明 者 宮 崎 義 弘 日立市大みか町5丁目2番1号 株式会社日立製作所大み
か工場内

⑰ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑱ 代 理 人 弁護士 秋本 正実

明 細 書

発明の名称 ブロックデータ転送記憶制御方法
特許請求の範囲

1. アクセス元としての主処理装置、入出力処理装置がメモリ制御装置を介し(主)メモリをアクセスし得るように構成されてなる処理装置におけるブロックデータ転送記憶制御方法にして、不特定転送元メモリエリアに存するブロックデータを同一メモリ内の他のメモリエリアとしての不特定転送先メモリエリアに転送記憶する要求がアクセス元に生じた際、該アクセス元は転送元、転送先のメモリエリアのアドレス上での大小関係の判定結果に応じ転送元、転送先のメモリエリアの先頭アドレスあるいは末尾アドレスを転送元、転送先のアドレスとしてアドレス更新モード情報、転送回数とともにメモリ制御装置に転送する一方、該制御装置は転送元メモリエリアからの読出データの転送先メモリエリアへの転送記憶を行なう度に転送元、転送先のアドレスを、転送記憶回数が上記転送回数に一致するまでの間上記アドレス更新

モード情報の指定する方向に更新することによつて、転送元メモリエリアからのブロックデータの転送先メモリエリアへの転送記憶を制御することとを特徴とするブロックデータ転送記憶制御方法。
2. 主処理装置によるメモリアクセスがキャッシュメモリを介して行なわれる場合、キャッシュメモリは自己内に記憶されているデータ対応の(主)メモリ上アドレスの各々とメモリ制御装置からの転送先アドレスとを転送記憶が行なわれている間比較監視し、アドレス一致が検出された場合には該アドレス対応のデータを無効として処理する特許請求の範囲第1項記載のブロックデータ転送記憶制御方法。

発明の詳細な説明

〔発明の利用分野〕

本発明は、同一メモリ内に於けるメモリエリアに記憶されているブロックデータが他のメモリエリアに高速に転送記憶されるようにしたブロックデータ転送記憶制御方法に関するものである。

〔発明の背景〕

同一メモリにおいて、あるメモリエリアに記憶されているブロックデータを他のメモリエリアに転送記憶させることが必要となつてゐるが、転送記憶を高速に行ない得ないのが現状である。ここにいうブロックデータの転送記憶とは、一般に第1図に示すようにメモリ1におけるアドレスAよりアドレスBに亘つて連続的に何等かの関連性をもつデータ群がブロックデータとして記憶されている場合において、そのブロックデータを他のメモリエリアであるところのアドレスA'よりアドレスB'に亘つて所定アドレス順に記憶せしめることをいう。アドレスAにおけるデータはアドレスA'に、また、アドレスBにおけるそれはアドレスB'といった具合に転送記憶されるものである。このようなブロックデータの転送記憶は多種の処理分野において必要となつており、特に文字処理、会話端末処理、CAD (Computer Aided Design)、ファイル管理などの分野でその必要性が高まつてゐる。例えばCRTなどのディスプレイ装置にて表示画面の修正を行

なう場合、特に行の挿入や削除、位置の変更などを行なう場合には80バイト程度のブロックデータの転送記憶が頻度大にして行なわれるものとなつてゐる。

ここで本発明の前提に係る処理装置の一般的全体構成は第2図に示すようである。

これによると(主)メモリ(主記憶装置)1はプログラムやデータを格納するためのもので、インテリブによりスループットの向上を図るべくメモリ1は複数設けられるものとなつてゐる。メモリ1に対する書き込みメモリ1からの読出の制御はメモリ制御装置2がメモリバス6を介し行なうものとなつてゐる。メモリ制御装置2はバス7に接続されるが、バス7には入出力処理装置5の他、主処理装置4がキャッシュメモリ3を介し接続されるようになつてゐる。キャッシュメモリ3は主処理装置4からのメモリ読出要求に対してはその要求に係るデータが自己内に記憶されているかを判定し、自己内に記憶されている場合はそのデータを自己内より読み出して主処理装置4に即

転送するようになつてゐる。自己内に記憶されていない場合はメモリ制御装置2を介しそのデータをメモリ1より読み出したうえ主処理装置4に転送すると同時に、自己内に記憶するものとなつてゐる。また、主処理装置4からのメモリ書き込み要求に対してはキャッシュメモリ3はその書き込みアドレスに係るデータが自己内に記憶されている場合はその書き込みアドレスにおけるデータを書き込みデータとなるべく逐次変更し、また記憶されているか否かとは無関係にそのデータをメモリ制御装置2を介しメモリ1に書き込むようになつてゐる。更にキャッシュメモリ3は入出力処理装置5からメモリ制御装置2に転送されるアドレス信号を監視するものとなつており、書き込みが行なわれたアドレスに対するデータが自己内に記憶されている場合にはそのデータを無効化するものとなつてゐる。

このようにしてなる処理装置にてブロックデータの転送記憶を高速に行なう方法として、これまで以下のようなものが知られてゐる。

即ち、第1の方法としては、アドレス元(主記

憶装置4)よりメモリ制御装置2内に転送元アドレス、転送先アドレスおよび転送階数を転送記憶させ、しかる後メモリ制御装置2がそれらアドレスを増加方向に更新しつつ、しかも転送階数を減少させつつブロックデータの転送記憶を行なうものとするものである。しかしながら、この方法による場合は、転送元アドレス、転送先アドレスともに増加させる方向でブロックデータの転送記憶が行なわれることから、転送元メモリエリアと転送先メモリエリアが一層でも重複しない場合は別にして、重複する場合には不具合を生じることになる。例えば第3図に示す如く転送元メモリエリア(アドレスA~B)と転送先メモリエリア(アドレスA'~B')とが一部重複する場合において、アドレスAにおけるデータをアドレスA'に転送記憶しようとするれば、アドレスA'におけるデータは転送元メモリエリア内のものであるとして後に転送記憶されるべきものであるにも拘らずその内容が変更されてしまうことになるものである。また、この方法においてはメモリ1とメモリ制御装置2

との間で転送記憶処理が実行されるだけであるから、転送先メモリエリアに含まれるアドレスのデータが転送記憶前にキャプシユメモリ3に記憶されていても転送記憶中においてキャプシユメモリ3は何等の処理も受けることなく、したがって、転送記憶時にはキャプシユメモリ3上に於けるメモリ1上のデータとメモリ1上のデータとは一致しなくなることは明らかである。

第2の方法としては、主処理装置4が同時処理機能を発揮してメモリ1よりインタリーブによつて転送されるべきデータを転送元メモリエリアより順次読み出す一方、読み出されたデータがある時間遅れを以てインタリーブによりメモリ1に書き込むようにするというものである。この方法においては読出、書き込みの動作とアドレスの更新は主処理装置4主導によつて行なわれ、また、読み出されたデータは主処理装置4を介し書き込みデータとしてメモリ1方向に転送されるが、このようにしてブロックデータの転送記憶を行なう場合には、全てのデータ転送経路部分のうち最もスループ

トの低いものによつてブロックデータ転送速度が定められてしまうことになる。一般に高速処理を目的とした処理装置では通常メモリ1自体のスループットは主処理装置4とメモリ1との間でのデータ転送のその2倍以上あるが、この方法ではその高いスループットを活かし得ないものとなっている。

従って第3の方法として入出力処理装置5にメモリ1と入出力装置間のデータ転送だけでなく、メモリ1相互間のデータ転送をも行なわしめ主処理装置4の負荷を軽減させることが考えられている。しかしながら、この方法による場合は入出力処理装置5は転送元、転送先のアドレスを増加するようにしてアドレスを更新しつつブロックデータの転送記憶を行なうことから、メモリエリアの重複の回避如何によつて第1の方法の場合と同様な不具合を生じることになる。また、この方法による場合入出力処理装置5は主処理装置4からの指令を受けて転送記憶を制御、実行するが、転送されるデータが数十バイト程度と小さい場合には

主処理装置4が他のプログラムを切替実行するまでにデータ転送記憶が終了してしまい、データ転送記憶の高速化は実効あるものとはなっていないのが現状である。

〔発明の目的〕

本発明の目的は、同一メモリ上に於いてメモリエリアが一部重複する場合であっても重複の重複如何を問わず、あるメモリエリアに記憶されているブロックデータが他のメモリエリアにアクセス元に向けることなく高速に転送記憶されるブロックデータ転送記憶制御方法を供するにある。

〔発明の概要〕

この目的のため本発明は、メモリ制御装置がアクセス元よりメモリエリアの先頭アドレスあるいは末尾アドレスとしての転送元アドレス、転送先アドレスの他、転送遅延およびアドレス更新モード情報を受け付けた場合には、転送元、転送先のアドレスをアドレス更新モード情報に応じた方向に更新するようにしてブロックデータを同一メモリ上で転送記憶させるようにしたものである。アクセ

ス元では転送元先頭アドレスが転送先先頭アドレスより大である場合には転送元、転送先のアドレスとして転送元先頭アドレス、転送先先頭アドレスを、また、アドレス更新モード情報として増加指定モードをメモリ制御装置に転送する一方、逆の場合にはアクセス元より転送元、転送先のアドレスとして転送元末尾アドレス、転送先末尾アドレスが、アドレス更新モード情報としては減少指定モードがメモリ制御装置に転送されるようにしたものである。

〔発明の実施例〕

以下、本発明を第4図から第11図により説明する。

第4図は本発明に係るメモリ制御装置の要部構成をキャプシユメモリ、メモリとともに概略的に示したものである。アクセス元としてのキャプシユメモリ3または入出力処理装置からの転送元アドレス、転送先アドレス、転送遅延およびアドレス更新モード情報はバス7を介しメモリ制御装置2に取り込まれたらうと転送元アドレスカウンタ

202、転送先アドレスカウンタ203、アドレス更新モード指定レジスタ(1ビット)201にセットされるようになっている。図示されていないが転送データは別に設けられている転送データカウンタにセットされるものとなっている。しかし、レジスタ201によつてカウンタ202、203のカウントモードを指定し、メモリ1に於ける転送元メモリエリアよりアドレス単位にデータを読み出した後に即そのデータを転送先メモリエリアに書き込む度にカウンタ202、203を更新するようになれば、転送元メモリエリアに於けるブロックデータは高速にして転送先メモリエリアに転送記憶されるものである。転送データがセットされる転送データカウンタはデータが転送記憶される度にデクリメントされ、そのカウント値が零となつた時点で転送記憶は終了されることとなるわけである。ところで、転送記憶が行なわれれば、転送先メモリエリアに於けるデータは転送記憶の前と後ではその内容が変更されることになるから、もしもキャッシュメモリ3が転送先メ

モリエリアに於けるデータを記憶している場合には不都合を生じることになる。キャッシュメモリ3に於けるキャッシュ無効化回路31については特願昭57-122153号に開示されているが、これによつてカウンタ203からのアドレスを監視することによつて、そのような不都合が生じさせないようにしている。即ち、自己内に記憶されているデータ対応のメモリ1上アドレスの各々をカウンタ203からのアドレスとを比較監視し、アドレスの一致が検出された場合にはそのアドレス対応のデータを無効なものとして処理しているわけである。

第5図はそのメモリ制御装置の一側での具体的構成を示したものである。これによるとメモリ制御装置はバス占有制御回路としてバス占有選択回路205を、また、通常のメモリアクセス制御回路としてフアンクションレジスタ209、アドレスレジスタ208、番出データレジスタ207、読出データレジスタ211およびメモリアクセス制御回路210を有するものとなっている。更に

ブロックデータ転送関係としては既述の転送先アドレスカウンタ202、転送先アドレスカウンタ203、転送データカウンタ204、アドレス更新モード指定レジスタ201の他に、ブロックデータ転送制御回路206を有するものとなっている。なお、第5図に於ける符号212~222はゲートであり、その通過制御はメモリアクセス制御回路210やブロックデータ転送制御回路206によつて行なわれる。

さて、上記のようにしてなるメモリ制御装置の動作を説明すれば以下のようなものである。

先ず通常のメモリ読出のアクセス動作は、アクセス元としてのキャッシュメモリまたは入出力処理装置よりバス占有要求234がバス占有選択回路205に出力されることによつて開始されるものとなっている。第6図はこのメモリアクセス動作時の要部入出力信号、入出力データを示したものである。バス占有要求234はアクセス元対応の信号線を介しバス占有選択回路205に入力されるが、バス占有選択回路205はこの他メ

モリアクセス制御回路210、ブロックデータ転送制御回路206からのバス占有要求239、237が入力されるようになっている。バス占有選択回路205はバス占有要求があつた場合にはその何れか1つを選択したうえバス占有許可を与えるべく検定する。バス占有許可235はアクセス元に対して、また、バス占有許可238、236はそれぞれメモリアクセス制御回路210、ブロックデータ転送制御回路206に対して与えられるが、第6図はアクセス元からのバス占有要求234に対してバス占有許可236が与えられる場合を示しているものである。

バス占有許可235を受けたアクセス元はこれにより初めてバスを占有することが可能となり、フアンクション信号231およびアドレス信号232を転送するところとなるものである。これら信号はメモリ制御装置内のフアンクションレジスタ209、アドレスレジスタ208にセットされるが、メモリアクセス制御回路210によつてフアンクション信号231の内容がメモリ読出ア

クセスであるとデコードされた場合には、メモリに対し読出モードのメモリファンクション番号 241 とメモリアドレス番号 242 が与えられるようになっている。一方、メモリではそれら番号にもとづいて読み出されたデータはメモリデータ 243 としてメモリ応答 240 に同期して出力されるようになっている。メモリからのメモリデータ 243 は一旦読出データレジスタ 211 にセットされるが、メモリ応答 240 にもとづきメモリアクセス制御回路 210 からはバス占有要求 239 がバス占有選択回路 205 に出力されるものとなっている。これに応じてバス占有選択回路 205 が選択の結果バス占有許可 238 を与えた場合にはメモリアクセス制御回路 210 は読出データレジスタ 211 の内容をデータ 233 としてバス上に出力する一方、アクセス元識別情報を応答 230 としてアクセス元に出力するようになっている。アクセス元ではそのアクセス元識別情報より自己が指定されていることを検出した場合には、そのデータ 233 を初めて取り込むようになっている。

203 にセットした後は、転送回数およびアドレス更新モード情報を転送回数カウンタ 204、アドレス更新モード指定レジスタ 201 に順次セットするところとなるものである。この場合アクセス元からの転送回数およびアドレス更新モード情報のセット要求はまたブロックデータ転送記憶開始要求を兼ねていることから、ブロックデータ転送制御回路 206 は転送回数およびアドレス更新モード情報のセット終了後に直ちにブロックデータの転送記憶を開始するところとなるものである。転送記憶については詳細に後述するところであるが、転送記憶が終了すればブロックデータ転送制御回路 206 からはその旨の応答 230 がアクセス元に返送されるようになっている。したがって、アクセス元にとっては通常の書込アクセスと全く同様なアクセスを 3 回連続的に行なつた後は、転送記憶の終了した旨の応答を受けるだけで済まされるから、負担を少なくしてブロックデータの高速転送記憶を行ない得るものである。

ここで第 8 図により書込データレジスタと転送

わけである。

メモリに対する通常の読出アクセスは以上のようであるが、これよりして通常の書込アクセスも同様に行なわれることになる。

次にブロックデータの転送記憶について説明する。第 7 図はその起動時の動作を中心にして示したものである。これによる場合アクセス元より通常のメモリアクセスと同様のバス占有プロトコルをふんでファンクションレジスタ 209、書込データレジスタ 207 にはそれぞれアクセス元からのファンクション番号 231、データ 233 がセットされるようになっている。ファンクションレジスタ 209 の内容をデコードすることによつて転送元アドレスの書込要求であることをブロックデータ転送制御回路 206 が検出した場合には、書込データレジスタ 207 の内容は転送元アドレスカウンタ 202 にセットされ、また、応答 230 がアクセス元に返送されるようになっている。これによりアクセス元は次に上記の場合と同様にして転送先アドレスを転送先アドレスカウンタ

203 カウンタ、アドレス更新モード指定レジスタとの関係の説明する。アクセス元からのデータ 233 は例えば 32 ビットとされるが、アドレス更新モード情報および転送回数はアクセス元より本例では同時に転送されるようになっている。このうち、アドレス更新モード情報は 1 ビットで十分であるから、残り 31 ビットを転送回数として使用可能であるが、本例では 1 語 32 ビットとして最大 255 語 1 個で転送記憶されるようになっている。転送回数として 8 ビット割当てられているものであるが、これに限定されるものでないことは勿論である。

さて、ブロックデータの転送記憶が如何にして行なわれるかを第 9 図により説明する。

アクセス元からの転送回数およびアドレス更新モード情報がセットされたならば、ブロックデータ転送制御回路 206 は先ずバス占有要求 237 をバス占有選択回路 205 に出力するようになされる。これに対する有許可 236 が得られたならば次に転送先アドレスカウンタ 203 の内容がアド

レス信号232とし、また、これに同期して最初のデータに対する伝送記憶が行なわれたことを、中略に示すファンクション信号231が出力される。これによりキャッシュメモリではキャッシュ無効化機構によつて必要に応じデータの無効化が行なわれるものである。一方、これに並行して、プロセッサデータ伝送制御回路206はメモリファンクション信号241を送出モードにして伝送元アドレスカウンタ202の内容をメモリアドレス信号242としてメモリに出力することによつて、メモリよりメモリアドレス信号242対応のデータをメモリデータ243として読み出すようになっている。この場合メモリデータ243はバス上に一定時間存在すべくメモリより読み出されることから、メモリ応答240が得られてからメモリファンクション信号241を送信モードにして伝送先アドレスカウンタ203の内容をメモリアドレス信号242として出力するようになれば、メモリデータ243は伝送先メモリエリアに伝送記憶されるところとなるものである。したがつて、

伝送元アドレスカウンタ204の内容が零となるまでの間、1つのデータに対する伝送記憶が終了する度に伝送元アドレスカウンタ204の内容をデクリメントし、しかも伝送元、伝送先のアドレスカウンタ202、203を所定に更新したうえ上記動作を繰り返すようにすればよいものである。

図10図はアドレス更新モード指定レジスタ201によつてアドレスカウンタ202、203が如何に制御されるかを示したものである。アドレスカウンタ202、203は何れもプリセット可とされた可変カウンタとされ、ともにカウントアップ動作をするかカウントダウン動作をするかはアドレス更新モード指定レジスタ201としてのフリップフロップの出力状態によつてい。セプト出力246、リセプト出力245によつてアドレスカウンタ202、203より発生されるメモリアドレス信号243の更新方向を制御するものである。本例ではセプト状態にある場合はカウントダウン制御されるようになっている。なお、アドレス更新タイミング信号247はプロセッサ

データ伝送制御回路206がデータ伝送記憶に伴うメモリ応答240にもとづいて作成するものである。

最後にプロセッサデータ伝送記憶に関するマイクロプログラムのフローについて説明する。第11図は主処理領域内で実行されるそのマイクロプログラムのフローを示したものである。これによる場合先ずビットパターン「000000FF」(16進表示)と伝送回数(DC)とが論理積(AND)されその結果は、テンポラリワークレジスタWK1に格納されるようになっている。これは、伝送回数の最大値が「FF」(4ビット)に16進表示)であることから、不足である上位24ビットを強制的に「0」にしておく必要があるからである。次に伝送元、伝送先の先頭アドレスがそれぞれテンポラリワークレジスタWK2、WK3に格納されたうえその大小関係が判定されるものとなっている。この判定の結果如何によつて伝送元アドレス、伝送先アドレスとして伝送元先頭アドレス、伝送先先頭アドレスか、または伝

送元末尾アドレス、伝送先末尾アドレスがメモリ制御装置に伝送されるものである。伝送元アドレス、伝送先アドレスとして伝送元末尾アドレス、伝送先末尾アドレスが伝送される場合にはテンポラリワークレジスタWK1の内容はビットパターン「80000000」と論理和(OR)されているが、これは、アドレス更新モード情報(F)を「1」とするためである。

本発明は以上のようであるが、伝送元メモリエリアと伝送先メモリエリアが完全に一致する場合でも適用し得ることは勿論である。

(発明の効果)

以上説明したように本発明は、伝送記憶の要求が生じたアクセス元からの伝送元アドレス、伝送先アドレス、伝送回数およびアドレス更新モード情報を受けてメモリ制御装置が伝送元、伝送先のアドレスをアドレス更新モード情報に応じた方向に更新するようにしてプロセッサデータを同一メモリ上で伝送記憶させるようにしたものである。したがつて、本発明による場合は、同一メモリ上に

において伝送元メモリエリアと伝送先メモリエリアとが一部重複する場合であっても重複の記憶範囲を問わず、あるメモリエリアに記憶されているブロックデータがアクセス元へ負担をかけることなく他のメモリエリアに正しく、しかも高速にして伝送記憶されるという効果が得られる。特にメモリとメモリ制御装置間のデータ幅を他の部分よりも大きく広げるだけで高速化が可能であり、また、ブロックデータ伝送のためのメモリバスにけるデータバス占有時間が従来の場合の半分で済まされ、ブロックデータ伝送時のスループット低下が少なく済まされる。最近ダイナミックRAMではニブルモードサポート(日経エレクトロニクス4月号、昭和58年参照)により送受アドレス送出が行われ、データバスの負担はアドレスバスの負担に比して大きく、本発明による効果には大なるものがある。

図面の簡単な説明

第1図は、同一メモリ内での一時的なブロックデータ伝送記憶を説明するための図、第2図は、

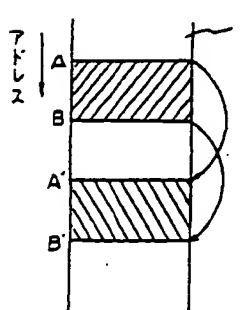
本発明の図面に係る処理装置の一時的な全体構成を示す図、第3図は、伝送元、伝送先のメモリエリアが重複する場合での不具合を説明するための図、第4図は、本発明に係るメモリ制御装置の要部機能ブロック図、第5図は、本発明に係るメモリ制御装置の一時的な全体構成を示す図、第6図は、そのメモリ制御装置での通常のメモリ読出アクセス動作を説明するための要部入出力信号、入出力データのタイミングを示す図、第7図は、同じくそのメモリ制御装置でのブロックデータ伝送記憶動作起動時の動作を説明するための要部入出力信号、入出力データのタイミングを示す図、第8図は、そのメモリ制御装置における書込データレジスタと現伝送語数カウンタ、アドレス更新モード指定レジスタとの関係を示す図、第9図は、メモリ制御装置での本発明によるブロックデータ伝送記憶動作を説明するための要部入出力信号、入出力データのタイミングを示す図、第10図は、アドレス更新モード情報によつて伝送元、伝送先

のアドレスが如何に更新制御されるかを説明するための図、第11図は、主処理装置内で実行されるブロックデータ伝送記憶に係るマイクロプログラムのフローを示す図である。

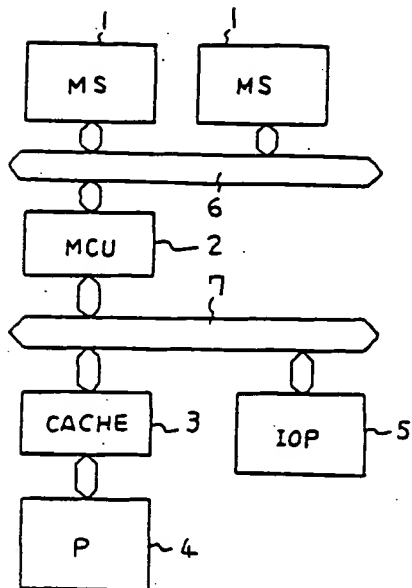
1…(主)メモリ(主記憶装置)、2…メモリ制御装置、3…キャッシュメモリ、4…主記憶装置、5…入出力処理装置、201…キャッシュ無効化信号、202…アドレス更新モード指定レジスタ、203…伝送元アドレスカウンタ、204…伝送先アドレスカウンタ、205…現伝送語数カウンタ、206…バス占有選択回路、207…ブロックデータ伝送制御回路、208…書込データレジスタ、209…アドレスレジスタ、210…フアンクションレジスタ。

代理人 弁護士 秋本正実

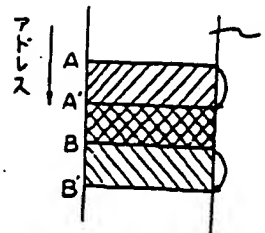
第1図



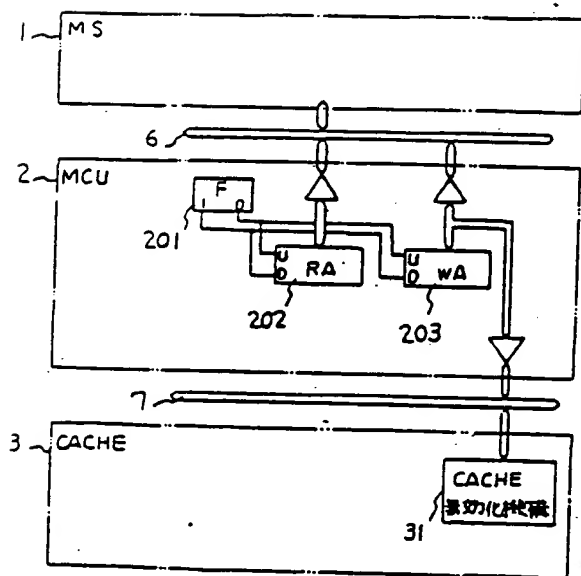
第2図



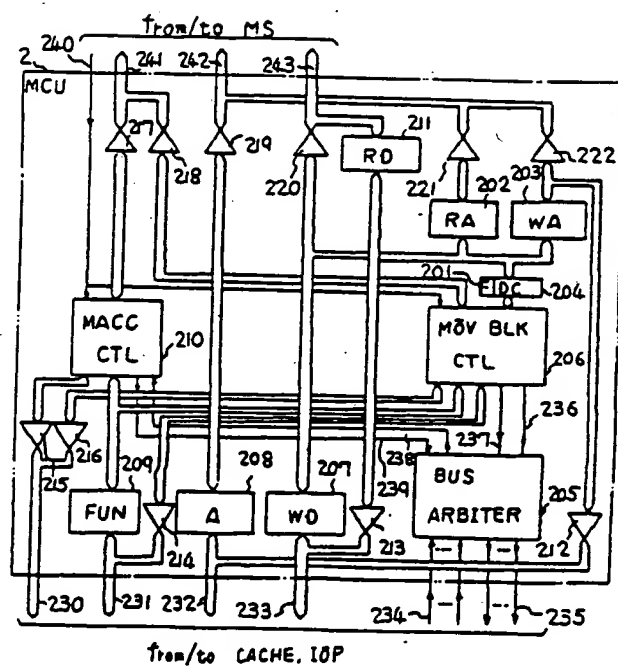
第3図



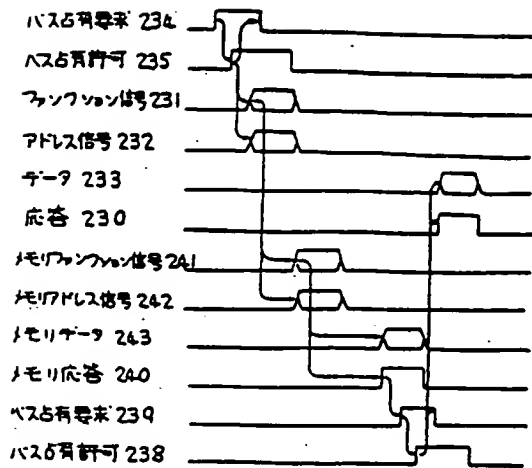
第4図



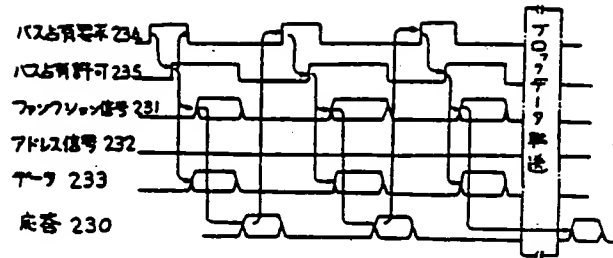
第5図



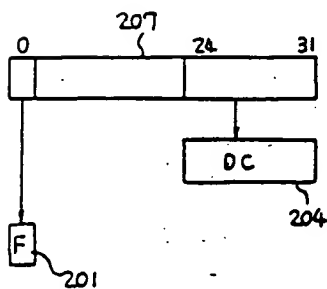
第 6 図



第 7 図



第 8 図



第 9 図

